

Patent



Customer No. 31561
Application No.: 10/707,707
Docket No. 11809-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Lee et al.
Application No. : 10/707,707
Filed : January 06, 2004
For : METHOD FOR FABRICATING A NON-VOLATILE
MEMORY AND METAL INTERCONNECT PROCESS
Examiner :
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 092136489, filed on: 2003/12/23.

A return prepaid postcard is also included herewith.

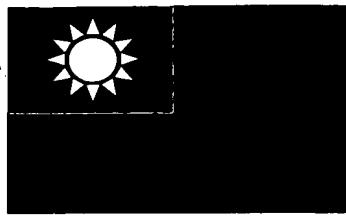
Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: May 13, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

**7F-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 12 月 23 日
Application Date

申請案號：092136489
Application No.

申請人：旺宏電子股份有限公司
(Applicant(s))

局長
Director General
蔡練生

發文日期：西元 2004 年 2 月 11 日
Issue Date

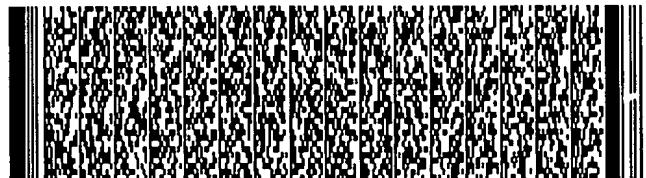
發文字號：09320122860
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一 發明名稱	中文	非揮發性記憶體元件的製造方法及金屬內連線製程
	英文	Method for Fabricating A Non-Volatile Memory and Metal Interconnects Process
二 發明人 (共2人)	姓名 (中文)	1. 李明東
	姓名 (英文)	1. LEE, MING TUNG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹科學工業園區力行路16號
	住居所 (英 文)	1. c/o No. 16, Li-Hsin Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
三 申請人 (共1人)	名稱或 姓名 (中文)	1. 旺宏電子股份有限公司
	名稱或 姓名 (英文)	1. MACRONIX International Co., Ltd.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路16號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 16, Li-Hsin Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡定華
	代表人 (英文)	1. HU, DING HUA



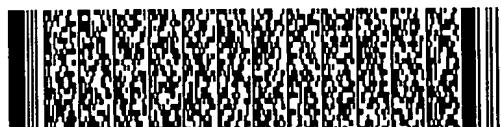
11809twf.psd

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共2人)	姓名 (中文)	2. 林照情
	姓名 (英文)	2. LIN, CHAO CHING
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 新竹科學工業園區力行路16號
	住居所 (英 文)	2. c/o No. 16, Li-Hsin Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：非揮發性記憶體元件的製造方法及金屬內連線製程)

一種非揮發性記憶體元件的製造方法，包括在基底上形成由穿隧層、電荷捕捉層、阻障層以及控制閘所構成之堆疊結構，並且在堆疊結構兩側之基底中形成源極/汲極，接著在堆疊結構之側壁形成氧化矽材質之絕緣間隙壁。然後再於基底表面及堆疊結構之表面形成防UV之襯層，用以防止紫外光穿透至電荷捕捉層。再於防UV之襯層上形成介電層，並於介電層中形成與控制閘極電性連接的接觸窗，之後在介電層上形成與接觸窗電性連接之導線結構，然後，在介電層以及導線結構之表面形成低表面電荷襯層，降低天線效應對元件的影響。

伍、(一)、本案代表圖為：第____1G____圖

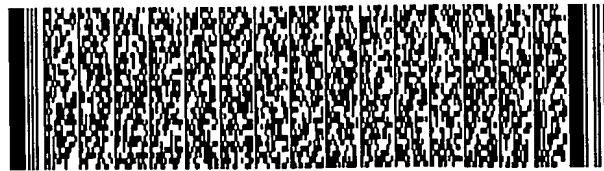
(二)、本案代表圖之元件代表符號簡單說明：

100：基底

102a：穿隧層

六、英文發明摘要 (發明名稱：Method for Fabricating A Non-Volatile Memory and Metal Interconnects Process)

A method for fabricating a non-volatile memory is provided. A stacked structure comprising a tunneling layer, a trapping layer, a barrier layer and a control gate is formed on a substrate. A source and a drain are formed beside the stacked structure in the substrate. A silicon oxide spacer is formed on the sidewalls of the stacked structure. A UV resisting liner layer is formed on



四、中文發明摘要 (發明名稱：非揮發性記憶體元件的製造方法及金屬內連線製程)

- 104a：電荷捕捉層
- 105a：控制閘
- 106a：阻障層
- 107：金屬矽化物層
- 108：多晶矽層
- 110a：圖案化之抗反射層
- 113：堆疊結構
- 114：源極/汲極
- 116：間隙壁
- 118：防UV之襯層
- 119：薄氧化矽層
- 120：內層介電材料
- 122：接觸窗
- 126a：導線結構
- 128：襯層

六、英文發明摘要 (發明名稱：Method for Fabricating A Non-Volatile Memory and Metal Interconnects Process)

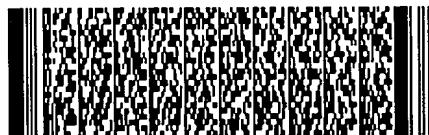
the surfaces of the substrate and the stacked structure to prevent the UV light through into the trapping layer. A silicon nitride dielectric layer is formed on the UV resisting liner layer. A contact electrically connected to the control gate is formed in the dielectric layer. A conductive wire electrically connected to the contact is formed on the dielectric layer. Then, a low



四、中文發明摘要 (發明名稱：非揮發性記憶體元件的製造方法及金屬內連線製程)

六、英文發明摘要 (發明名稱：Method for Fabricating A Non-Volatile Memory and Metal Interconnects Process)

surface charges liner layer is formed covering the conductive wire and the dielectric layer to reduce the antenna effect.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

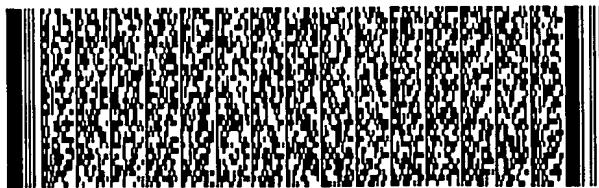
發明所屬之技術領域

本發明是有關於一種半導體元件的製造方法，且特別是有關於一種非揮發性記憶體元件的製造方法及金屬內連線製程。

先前技術

非揮發性記憶體(Nonvolatile memory)現係應用在各種電子元件的使用上，如儲存結構資料、程式資料及其它可以重複存取的資料，而其中一種可重複存取資料之非揮發性記憶體係稱為快閃記憶體(Flash)。快閃記憶體係一種可電抹除且可程式唯讀記憶體(Electrically Erasable Programmable Read Only Memory, EEPROM)，其具有可進行多次資料之存入、讀取、抹除等動作且存入之資料在斷電後也不會消失之優點，所以已成為個人電腦和電子設備所廣泛採用的一種記憶體元件。

典型的快閃記憶體係以摻雜的複晶矽製作浮置閘極(Floating Gate)與控制閘極(Control Gate)。當記憶體進行程式化(Programming)時，分別在源極(source)區、汲極(drain)區與控制閘極上，加上適當的電壓將其程式化，則電子會從源極區經由通道(Channel)流向汲極區。在此過程中，將有部分的電子會穿過複晶矽浮置閘極層下方的穿隧氧化層(Tunneling Oxide)，而進入複晶矽浮置閘極層中，並且會均勻分布於整個複晶矽浮置閘極層之中，此種電子穿越穿隧氧化層進入複晶矽浮置閘極層的現象，稱為穿隧效應(Tunneling Effect)。快閃記憶體

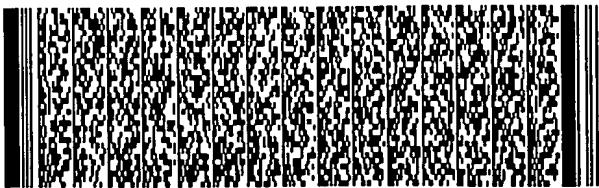


五、發明說明 (2)

一般之操作機制是以通道熱電子(Channel Hot-Electron Injection)進行程式化，並且利用Fowler-Nordheim穿隧(F-N Tunneling)進行抹除。但是，若複晶矽浮置閘極層下方的穿隧氧化層有缺陷(Defect)存在，則容易造成元件的漏電流，影響元件的可靠度。

為了解決快閃記憶體元件漏電流之問題，目前習知的一種方法是利用一電荷捕捉層取代多晶矽浮置閘極，而形成一種由氧化矽/氮化矽/氧化矽(ONO)複合層所構成之堆疊式(Stacked)閘極結構之EEPROM，其中此電荷捕捉層之材質例如是氮化矽。因為電荷捕捉層之材質為氮化矽，且其係作為唯讀記憶體之浮置閘極，所以此種EEPROM亦稱為氮化矽唯讀記憶體(NROM)。因為，氮化矽層具有抓住電荷之效果，所以射入氮化矽層之中的電子並不會均勻分布於整個氮化矽層之中，而是以高斯分布的方式集中於氮化矽層的局部區域上。由於射入於氮化矽層的電子僅集中於局部的區域，因此，對於穿隧氧化層其缺陷的敏感度較小，元件漏電流的現象較不易發生。

此外，以氮化矽層取代多晶矽浮置閘極的另一項優點是，在元件程式化時，電子僅會在接近源極或汲極上方的通道局部性地儲存。因此，在進行程式化時，可以分別對堆疊式閘極一端的源極區與控制閘極施加電壓，而在接近於堆疊式閘極另一端之汲極區的氮化矽層中產生高斯分布的電子，並且也可以分別對堆疊式閘極一端的汲極區與控制閘極施加電壓，而在接近於堆疊式閘極另一端之源極區

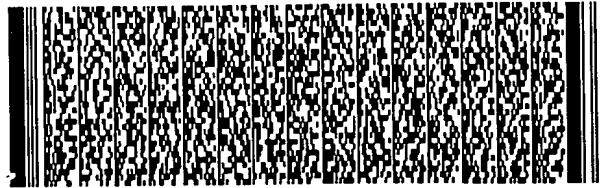
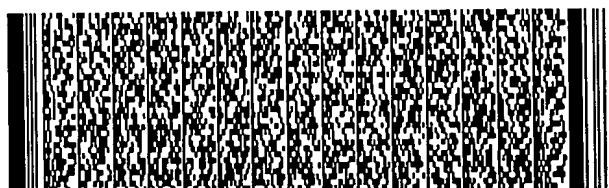


五、發明說明 (3)

的氮化矽層中產生高斯分布的電子。故而，藉由改變控制閘極與其兩側之源極/汲極區所施加電壓，可以在單一的氮化矽層之中存在兩群具有高斯分布的電子、單一群具有高斯分布的電子或是不存在電子。因此，此種以氮化矽材質取代浮置閘極的快閃記憶體，可以在單一的記憶胞之中寫入四種狀態，為一種單一記憶胞二位元(1 cell 2bit)之快閃記憶體。

然而，在一般之氮化矽唯讀記憶體之製造過程中，由於製程環境之影響，例如在電漿增益型化學氣相沈積法(PECVD)製程中，電漿(Plasma)會使得電荷沿著金屬移動，發生所謂之天線效應(Antenna Effect)，而瞬間的電荷不平衡，將使部分電荷陷於(trap)氧化矽/氮化矽/氧化矽(ONO)複合層中，造成唯讀記憶體元件有不均勻之程式化(Programming)之現象，而會有啟始電壓分佈過大之問題。

值得注意的是，在PECVD製程中所使用的電漿除了會造成天線效應而致使元件的啟始電壓分佈過大外，也有可能使所沈積的薄膜表面上聚集電荷。舉例來說，在NROM的金屬內連線製程中，通常會利用PECVD沈積一層較緻密的絕緣層覆蓋於金屬導線上，且此絕緣層常用的材質是氧化物或氮化物。然而，PECVD製程中之電漿卻會使絕緣層表面聚集電荷，且此絕緣層表面所聚集的電荷會沿著金屬導線移動至氧化矽/氮化矽/氧化矽(ONO)複合層之氮化矽層中，因而造成唯讀記憶體元件不均勻之程式化現象，而會



五、發明說明 (4)

有啟始電壓之分佈過大的問題。

此外，在微影製程中通常係以紫外光來進行曝光的動作。然而，在NROM元件中，當紫外光照射到氧化矽/氮化矽/氧化矽(ONO)複合層之氮化矽層中時，卻會在氮化矽層中產生電子電洞對，且又因電洞容易流失而存留電子在氮化矽層中，因此同樣會造成唯讀記憶體元件不均勻之程式化現象，而會有啟始電壓之分佈過大的問題。

發明內容

因此，本發明的目的就是提供一種非揮發性記憶體元件的製造方法，可減少因天線效應所產生之電荷造成唯讀記憶體元件形成不均勻之程式化現象，而有啟始電壓之分佈過大的問題。

本發明的再一目的是提供一種非揮發性記憶體元件的製造方法，可防止紫外光照射至氧化矽/氮化矽/氧化矽(ONO)複合層中的氮化矽層，避免電荷聚集於此氮化矽層中。

本發明的又一目的是提供一種金屬內連線製程，可減少以PECVD製程所形成之絕緣層其表面聚集的電荷量。

本發明提出一種非揮發性記憶體元件的製造方法，此方法係首先在基底上依序形成穿隧材料層、電荷捕捉材料層、阻障材料層、閘極導電層以及抗反射層。再於抗反射層上形成圖案化之光阻層，然後以光阻層為蝕刻罩幕圖案化抗反射層、閘極導電層、阻障材料層、電荷捕捉材料層以及穿隧材料層，以形成由穿隧層、電荷捕捉層、阻障層



五、發明說明 (5)

以及控制閘所構成之堆疊結構。且此堆疊結構上覆蓋有一圖案化之抗反射層。接著再移除光阻層，並於暴露的控制閘表面形成一薄氧化層。之後在堆疊結構之側壁形成絕緣間隙壁，並覆蓋住薄氧化層。然後，在上述所形成之結構表面形成一防紫外光(UV)襯層，用以防止紫外光穿透至電荷捕捉層，避免在電荷捕捉層中累積電荷。

本發明提出一種金屬內連線製程，其係首先提供已形成有導電結構之基底，然後在基底上形成介電層，覆蓋於導電結構上。之後在介電層中形成與基底上之導電結構電性連接的接觸窗，再於介電層上形成與接觸窗電性連接的導線結構，然後在介電層與導線結構的表面上形成低表面電荷襯層。

本發明提出另一種非揮發性記憶體元件的製造方法，此方法係首先在基底上依序形成穿隧材料層、電荷捕捉材料層、阻障材料層、閘極導電層以及抗反射層。再於抗反射層上形成圖案化之光阻層，然後以光阻層為蝕刻罩幕圖案化抗反射層、閘極導電層、阻障材料層、電荷捕捉材料層以及穿隧材料層，以形成由穿隧層、電荷捕捉層、阻障層以及控制閘所構成之堆疊結構。且此堆疊結構上覆蓋有一圖案化之抗反射層。接著再移除光阻層，並於暴露的控制閘表面形成一薄氧化層。之後在堆疊結構之側壁形成絕緣間隙壁，並覆蓋住薄氧化層。然後，在上述所形成之結構表面形成一防紫外光(UV)襯層，用以防止紫外光穿透至電荷捕捉層，避免在電荷捕捉層中累積電荷。之後，再於



五、發明說明 (6)

防紫外光襯層上形成介電層，並於介電層中形成與控制閘電性連接的接觸窗，之後在介電層上形成與接觸窗電性連接之導線結構，然後，在介電層以及導線結構之表面形成低表面電荷襯層。

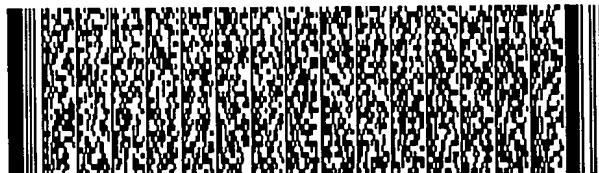
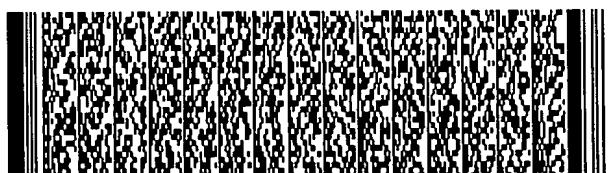
由上述可知，本發明在堆疊結構之側壁形成絕緣間隙壁之後，更在絕緣間隙壁以及基底表面形成防紫外光襯層，以防止紫外線穿透至電荷捕捉層，避免電荷累積在電荷捕捉層中。而且，本發明更改變習知PECVD製程的參數，以於導線結構上形成低表面電荷襯層，藉以降低天線效應對元件造成不良的影響。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

實施方式

第1A圖至第1G圖係繪示本發明之一較佳實施例的一種非揮發性記憶體元件的製造流程剖面圖。請參照第1A圖，首先在基底100上依序形成穿隧材料層102、電荷捕捉材料層104以及阻障材料層106。其中，基底100的材質例如是矽(Si)，而穿隧材料層102例如是一薄氧化矽層。電荷捕捉材料層104的材質例如是氮化矽，且阻障層材料106的材質例如是氧化矽。

然後在阻障材料層106上依序形成多晶矽層108與金屬矽化物層107，則多晶矽層108與金屬矽化物層107之複合層即為閘極導電層105。之後再於閘極導電層105上形成抗



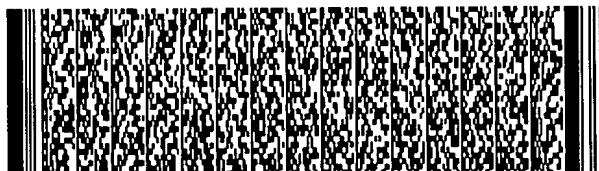
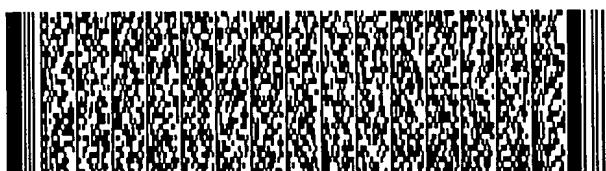
五、發明說明 (7)

反射層110。其中，多晶矽層108之形成方法例如是化學氣相沈積法。金屬矽化物層107的形成方法例如是先在多晶矽層108上形成一金屬層，再進行一熱處理以使金屬層與多晶矽層108產生反應，而形成金屬矽化物層107。接續，在抗反射層110上形成圖案化之光阻層112，其係利用傳統之微影製程所形成。

請參照1B圖，以光阻層為蝕刻罩幕進行蝕刻製程，以將穿隧材料層102、電荷捕捉材料層104、阻障材料層106、閘極導電層105、抗反射層110以及光阻層112圖案化，而形成由穿隧層102a/電荷捕捉層104a/阻障層106a(氧化矽氮化矽/氧化矽，ONO)複合層與控制閘105a所構成之堆疊(Stacked)結構113，其中，堆疊結構113上係覆蓋有圖案化之抗反射層110a。

在上述光阻層112之微影製程的曝光過程中，由於抗反射層110可有效吸收光線，因此其能夠防止曝光光源之入射光與由基底或膜層反射出之光線產生干涉。而且，抗反射層110的材質可以是有機材料或無機介電材料，以下將分別對使用有機材料及無機介電材料作為抗反射層110的製程加以詳細說明。在此，若抗反射層110的材質為無機介電材料時，其製程步驟如下：

請參照第1C圖，移除光阻層112，其中因圖案化之抗反射層110a的材質為無機介電材料，因此於移除光阻層112時並不會將圖案化之抗反射層110a移除。之後，於暴露出的控制閘105a表面(即控制閘105a之側壁)形成薄氧化

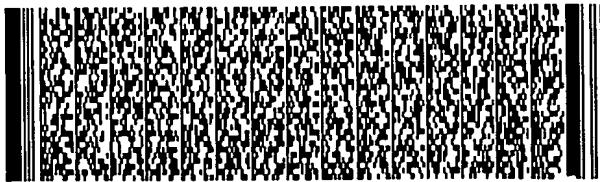


五、發明說明 (8)

矽層119。在一較佳實施例中，薄氧化矽層119的形成方法例如是藉由一熱氧化製程，並通入氧氣與氮氣而形成。在此，薄氧化矽層119以及抗反射層110a可以用來保護控制閘105a避免其在後續製程中受到損害。

請參照第1D圖，然後在控制閘105a兩側之基底100中形成源極/汲極114。接著，在堆疊結構113的側壁上形成絕緣間隙壁116。而絕緣間隙壁116的形成方法例如是先以化學氣相沈積法 (Chemical Vapor Deposition, CVD) 於基底100上形成共形的介電層 (未繪示)，再以非等向性蝕刻法回蝕共形的介電層，以形成絕緣間隙壁116。在此，介電層的材質例如是氧化矽。

請參照第1E圖，進行PECVD製程，在間隙壁116以及基底100的表面上形成防紫外光之襯層118。在一較佳實施例中，防紫外光之襯層118的材質例如是氮化矽，且形成氮化矽材質之防紫外光之襯層118之製程參數包括使用矽烷 (SiH_4)、氮氣 (NH_3) 以及氮氣 (N_2) 作為反應氣體，其中氮氣的流量例如是在 $2600\text{sccm} \sim 3000\text{sccm}$ 之間，較佳的是 2800sccm ，氮氣之流量例如是在 $20\text{sccm} \sim 30\text{sccm}$ 之間，較佳的是 25sccm ，而矽烷之流量例如是在 $50\text{sccm} \sim 60\text{sccm}$ 之間，較佳的是 55sccm 。進行沈積之環境溫度例如是在攝氏 380 度 \sim 攝氏 420 度之間，較佳的是攝氏 400 度。製程所使用之功率例如是在 370 瓦 \sim 410 瓦之間，較佳的是 390 瓦。而工作壓力例如是在 $7.0\text{torr} \sim 8.0\text{torr}$ 之間，較佳的是 7.5torr 。所沈積的膜厚例如是在 180 埃 \sim 220 埃之



五、發明說明 (9)

間，較佳的是200埃。值得注意的是，本發明所使用之製程參數中，矽烷與氮氣之流量皆較習知技術中所使用的矽烷與氮氣的流量小，而且製程所使用之功率也較習知技術小，因此本發明所使用之製程參數能夠降低薄膜的沈積速率，以形成較緻密的薄膜。

以氮化矽材質之防紫外光襯層為例，本發明之防紫外光之襯層118的整體總沈積速率係為每分鐘680埃，較習知技術中氮化矽層之沈積速率每分鐘7000埃慢了許多，因此利用本發明之方法所形成之防紫外光之襯層118較習知技術所沈積的膜層更為緻密。所以，當後續製程中使用紫外光進行微影製程時，防紫外光之襯層118能夠將紫外光阻擋在其外，使紫外光不會因穿透至電荷捕捉層104a，進而避免電荷聚集在其中。而且，即使防紫外光襯層118可會因紫外光的照射而有電荷累積在防紫外光襯層118中。但是，由於防紫外光襯層118與作為儲存資料（捕捉電荷）用的電荷捕捉層104a之間隔有絕緣間隙壁116，因此其不會對電荷捕捉層104a造成影響。

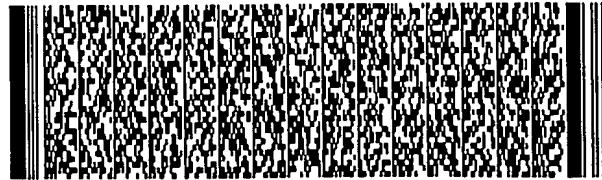
在本發明之一較佳實施例的非揮發性記憶體元件的製造方法中，更包括在第1E圖之後繼續進行金屬內連線製程。請參照第1F圖，此製程係首先在防紫外光襯層118上形成內層介電材質(Inter-Layer Dielectrics, ILD)120，並在內層介電材質120中形成穿透防紫外光之襯層118以及圖案化之抗反射層110a的接觸窗122。然後在介電層120及接觸窗122上形成金屬層126。



五、發明說明 (10)

請參照第1G圖，進行微影製程以及蝕刻製程，以將金屬層126圖案化，例如是圖案化為導線結構126a，且導線結構126a藉由接觸窗122而與控制閘極105a電性連接。接著進行PECVD製程，以在導線結構126a以及內層介電材質120的表面上形成低表面電荷襯層128，且低表面電荷襯層128的材質例如是氧化矽或氮化矽。以氧化矽為例，其PECVD製程參數包括使用的功率例如是在80瓦～120瓦之間，較佳的是100瓦。而進行沈積之環境溫度例如是在攝氏380度～攝氏420度之間，較佳的是攝氏400度。且工作壓力例如是在2.0torr～3.0torr之間，較佳的是2.5torr。而所使用的反應氣體例如是矽烷以及一氧化二氮，其中矽烷的流量例如是在20sccm～30sccm之間，較佳的是25sccm，一氧化二氮的流量例如是在750sccm～1000sccm之間，較佳的是900sccm。而所沈積的薄膜厚度例如是在900埃～3300埃之間，較佳的是2000埃。值得注意的是，在此所使用之矽烷流量較習知技術中之矽烷流量小，且製程功率也較習知技術小，所以利用本發明之製程參數能夠降低薄膜的沈積速率，以形成較緻密的薄膜，其例如是能使沈積速率由習知每分鐘12000埃降低至每分鐘3800埃。

值得注意的是，一般以PECVD製程所形成之膜層，其表面累積的電荷量與分佈情形會與所提供之功率大小以及參與反應之氣體的化學性質有關。而在習知的PECVD製程中，用以形成氧化矽層的功率通常係為185瓦，且矽烷的



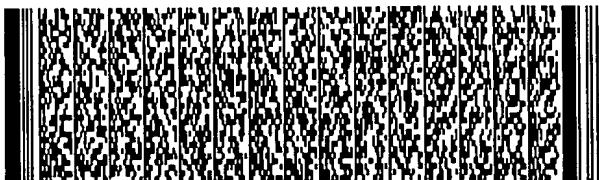
五、發明說明 (11)

流量約通入90sccm。然而，由上述實施例可知，本發明在PECVD製程中所使用的功率以及矽烷流量遠比習知來的小，所以利用本發明之製程參數可減少在襯層128表面所聚集的電荷量，進而降低天線效應對元件造成不良影響。而且若低表面電荷襯層128之材質是選擇氮化矽，則低表面電荷襯層128更具有防止水氣滲入的功能。

在本實施例中，測量出低表面電荷襯層128的表面電荷量之方法例如是利用儀器測量襯層128以及基底100的功函數，若兩者間之功函數差異大，表示襯層128之表面電荷多，反之若兩者間之功函數差異小，則表示襯層128之表面電荷少。所以藉由測量的數據即可知道，襯層128是否達到所要求之低表面電荷。

此外，在本發明之另一較佳實施例中，抗反射層110a的材質例如是有機材料。此實施例是在定義出堆疊結構113(如第1B圖所示)之後，進行去光阻之製程，而使控制閘105a暴露出來，如第2A圖所示。在此，由於使用的抗反射層其材質是有機材料，因此在去除光阻層112的過程中，可同時將圖案化之抗反射層110a移除。然後，在暴露出的控制閘105a表面形成薄氧化矽層119a，其例如是形成於控制閘105a之頂部及側壁表面。而薄氧化矽層119a係用以保護控制閘105a免於遭到後續製程之損害。其中，薄氧化矽層119a之材質與形成方法與上述實施例之薄氧化矽層119相似。

而且，本實施例之元件標號與上述實施例相同者，其



五、發明說明 (12)

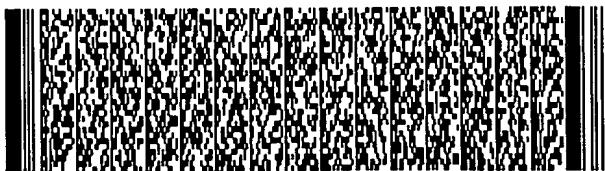
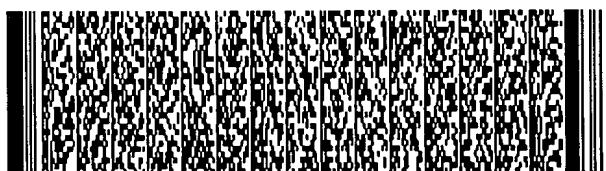
材質與形成方法皆與上述實施例所述相似，以下將不再贅述。

請參照第2B圖，在堆疊結構113之兩側之基底100中形成源極/汲極114。再於堆疊結構113之側壁上形成絕緣間隙壁116，並覆蓋控制閘105a側壁上之薄氧化矽層119a。

請參照第2C圖，進行PECVD製程，在間隙壁116以及基底100的表面上形成防紫外光之襯層118。請參照第2D圖，在防紫外光襯層118上形成內層介電材質(Inter-Layer Dielectrics, ILD)120，並在內層介電材質120中形成穿透防紫外光之襯層118以及控制閘105a上表面之薄氮氧化矽層119a的接觸窗122。然後在介電層120及接觸窗122上形成金屬層126。

請參照第2E圖，進行微影製程以及蝕刻製程，以將金屬層126圖案化，例如是圖案化為導線結構126a，且導線結構126a藉由接觸窗122而與控制閘極105a電性連接。接著進行PECVD製程，以在導線結構126a以及內層介電材質120的表面上形成低表面電荷襯層128。

然而，上述實施例中之金屬內連線製程並不限定於非揮發性記憶體中，此金屬內連線製程亦可以應用於其他金屬內連線製程，以下將舉一實施例說明之。請參照第3A圖，提供基底300，且基底300上已形成有導電結構302，其例如是MOS電晶體。接著請參照第3B圖，於基底300以及導電結構302表面上形成介電層306，並在介電層306中形成接觸窗308。請接著參照第3C圖，在介電層306及接觸窗



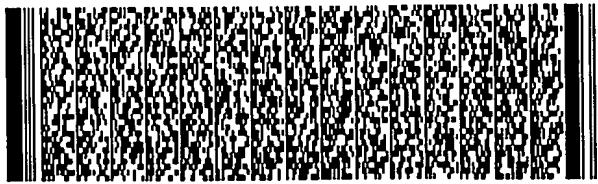
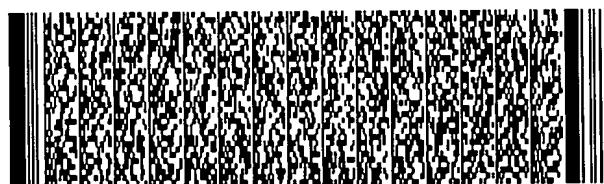
五、發明說明 (13)

308 之上表面上形成金屬層 312。

請參照第 3D 圖，進行蝕刻製程將金屬層 312 圖案化，例如是圖案化為導線結構 312a，且導線結構 312a 係與接觸窗 308 電性連接。接著進行 PECVD 製程，以在導線結構 312a 以及介電層 306 的表面上形成低表面電荷襯層 314，且襯層 314 的材質例如是氧化矽或氮化矽。以氧化矽為例，其 PECVD 製程參數包括使用的功率例如是在 80 瓦 ~ 120 瓦之間，較佳的是 100 瓦。而進行沈積之環境溫度例如是在攝氏 380 度 ~ 攝氏 420 度之間，較佳的是攝氏 400 度。且工作壓力例如是在 2.0 torr ~ 3.0 torr 之間，較佳的是 2.5 torr。而所使用的反應氣體例如是矽烷以及一氧化二氮，其中矽烷的流量例如是在 20 sccm ~ 30 sccm 之間，較佳的是 25 sccm，一氧化二氮的流量例如是在 750 sccm ~ 1000 sccm 之間，較佳的是 900 sccm。而所沈積的薄膜厚度例如是在 900 埃 ~ 3300 埃之間，較佳的是 2000 埃。

綜合以上所述，本發明係採用低功率以及低沈積速率之 PECVD 製程，以形成緻密且低表面電荷襯層，以降低天線效應對元件的影響。另外，本發明更採用低功率以及低沈積速率之 PECVD 製程來形成防紫外光襯層，以阻擋紫外光穿透至電荷捕捉層中。由於本發明之非揮發性記憶體的製造方法及金屬內連線製程係屬於簡單又不複雜的製造方法，因此不但可以輕易解決上述之問題，又不會增加製程複雜度。

雖然本發明已以較佳實施例揭露如上，然其並非用以



五、發明說明 (14)

限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖至第1G圖是繪示本發明之一較佳實施例的一種非揮發性記憶體的製造方法之流程剖面圖。

第2A圖至第2E圖是繪示本發明之另一較佳實施例的一種非揮發性記憶體的製造方法之流程剖面圖。

第3A圖至第3D圖是繪示本發明之一種金屬內連線製程的流程剖面圖。

【圖式標示說明】

100、300：基底

102：穿隧材料層

102a：穿隧層

104：電荷捕捉材料層

104a：電荷捕捉層

105：閘極導電層

105a：控制閘

106：阻障材料層

106a：阻障層

107：金屬矽化物層

108：多晶矽層

110：抗反射層

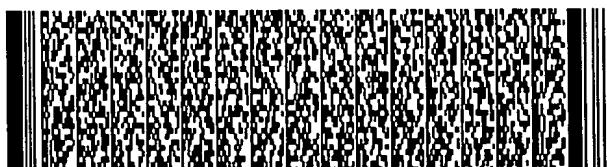
110a：圖案化之抗反射層

112：圖案化之光阻層

113：堆疊結構

114：源極/汲極

116：間隙壁



圖式簡單說明

118：防UV之襯層

119、119a：薄氧化矽層

120：內層介電材料

122、308：接觸窗

126、312：金屬層

126a、312a：導線結構

128、314：襯層

302：導電結構

306：介電層



六、申請專利範圍

1. 一種非揮發性記憶體元件的製造方法，包括：

在一基底上依序形成一穿隧材料層、一電荷捕捉材料層、一阻障材料層、一閘極導電層以及一抗反射層；

在該抗反射層上形成一圖案化之光阻層；

以該光阻層為蝕刻罩幕圖案化該抗反射層、該閘極導電層、該阻障材料層、該電荷捕捉材料層以及該穿隧材料層，以形成由一穿隧層、一電荷捕捉層、一阻障層以及一控制閘所構成之一堆疊結構，且該堆疊結構上係覆蓋一圖案化之抗反射層；

移除該光阻層；

在暴露的該控制閘之表面形成一薄氧化層；

在該堆疊結構之側壁形成一絕緣間隙壁，覆蓋住該薄氧化層；以及

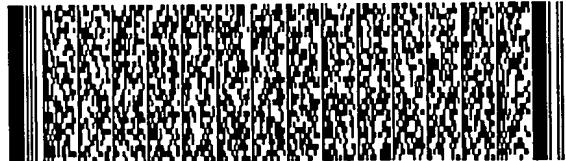
在上述所形成之結構表面形成一防紫外光(UV)襯層。

2. 如申請專利範圍第1項所述之非揮發性記憶體元件的製造方法，其中該絕緣間隙壁係為一氧化矽間隙壁。

3. 如申請專利範圍第1項所述之非揮發性記憶體元件的製造方法，其中該防UV襯層係為一氮化矽襯層。

4. 如申請專利範圍第3項所述之非揮發性記憶體元件的製造方法，其中形成該氮化矽襯層之方法包括進行一電漿增益型化學氣相沈積製程(PECVD)，且該PECVD之功率係介於370瓦至410瓦，該PECVD之反應氣體係包括矽烷、氮氣以及氬氣，且該矽烷之流量為50sccm至60sccm。

5. 如申請專利範圍第1項所述之非揮發性記憶體元件



六、申請專利範圍

的製造方法，其中該抗反射層係為一無機介電材料，因此在移除該光阻層時，該抗反射層不會被移除，且該薄氧化層會形成在該控制閘之側壁表面

6. 如申請專利範圍第1項所述之非揮發性記憶體元件的製造方法，其中該抗反射層係為一有機材料，因此在移除該光阻層時，該抗反射層會一併被移除，且該薄氧化層會形成在該控制閘之側壁以及頂部表面。

7. 如申請專利範圍第1項所述之非揮發性記憶體元件的製造方法，其中形成該薄氧化層之方法包括進行一熱氧化製程。

8. 如申請專利範圍第1項所述之非揮發性記憶體元件的製造方法，更包括在該堆疊結構兩側之該基底中形成一源極/汲極。

9. 一種金屬內連線製程，包括：

提供一基底，該基底上已形成有一導電結構；

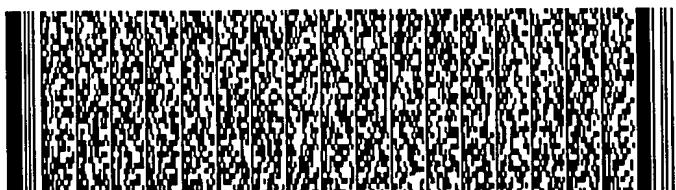
在該基底上形成一介電層，覆蓋該導電結構；

在該介電層中形成與該導電結構電性連接之一接觸窗；

在該介電層上形成與該接觸窗電性連接之一導線結構；以及

在該介電層以及該導線結構之表面形成一低表面電荷襯層。

10. 如申請專利範圍第9項所述之金屬內連線製程，其中該低表面電荷襯層係為一氧化矽襯層或是一氮化矽襯



六、申請專利範圍

層。

11. 如申請專利範圍第10項所述之金屬內連線製程，其中形成該氧化矽襯層之方法包括進行一電漿增益型化學氣相沈積製程(PECVD)，且該PECVD之功率係介於80瓦至120瓦，該PECVD之反應氣體係包括矽烷以及一氧化二氮，且該矽烷之流量為20sccm至30sccm。

12. 如申請專利範圍第9項所述之金屬內連線製程，更包括在該低表面電荷襯層上形成另一介電層。

13. 一種非揮發性記憶體元件的製造方法，包括：

在一基底上依序形成一穿隧材料層、一電荷捕捉材料層、一阻障材料層、一閘極導電層以及一抗反射層；

在該抗反射層上形成一圖案化之光阻層；

以該光阻層為蝕刻罩幕圖案化該抗反射層、該閘極導電層、該阻障材料層、該電荷捕捉材料層以及該穿隧材料層，以形成由一穿隧層、一電荷捕捉層、一阻障層以及一控制閘所構成之一堆疊結構，且該堆疊結構上係覆蓋一圖案化之抗反射層；

移除該光阻層；

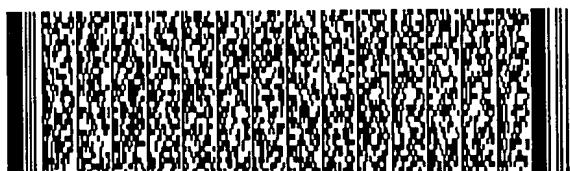
在暴露的該控制閘之表面形成一薄氧化層；

在該堆疊結構兩側之該基底中形成一源極/汲極；

在該堆疊結構之側壁形成一絕緣間隙壁，覆蓋住該薄氧化層；

在上述所形成之結構表面形成一防紫外光(UV)襯層；

在該防UV襯層上形成一介電層；



六、申請專利範圍

在該介電層中形成與該控制閘電性連接之一接觸窗；

在該介電層上形成與該接觸窗電性連接之一導線結構；以及

在該介電層以及該導線結構之表面形成一低表面電荷襯層。

14. 如申請專利範圍第13項所述之非揮發性記憶體元件的製造方法，其中該絕緣間隙壁係為一氧化矽間隙壁。

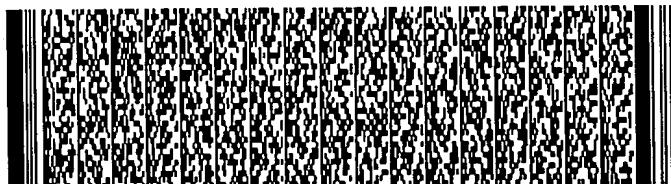
15. 如申請專利範圍第13項所述之非揮發性記憶體元件的製造方法，其中該防UV襯層係為一氮化矽襯層。

16. 如申請專利範圍第15項所述之非揮發性記憶體元件的製造方法，其中形成該氮化矽襯層之方法包括進行一電漿增益型化學氣相沈積製程(PECVD)，且該PECVD之功率係介於370瓦至410瓦，該PECVD之反應氣體係包括矽烷、氨氣以及氮氣，且該矽烷之流量為50sccm至60sccm。

17. 如申請專利範圍第13項所述之非揮發性記憶體元件的製造方法，其中該低表面電荷襯層係為一氧化矽襯層或是一氮化矽襯層。

18. 如申請專利範圍第17項所述之非揮發性記憶體元件的製造方法，其中形成該氮化矽襯層之方法包括進行一電漿增益型化學氣相沈積製程(PECVD)，且該PECVD之功率係介於80瓦至120瓦，該PECVD之反應氣體係包括矽烷以及一氧化二氮，且該矽烷之流量為20sccm至30sccm。

19. 如申請專利範圍第13項所述之非揮發性記憶體元件的製造方法，其中該抗反射層係為一無機介電材料，因



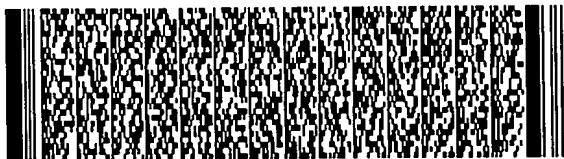
六、申請專利範圍

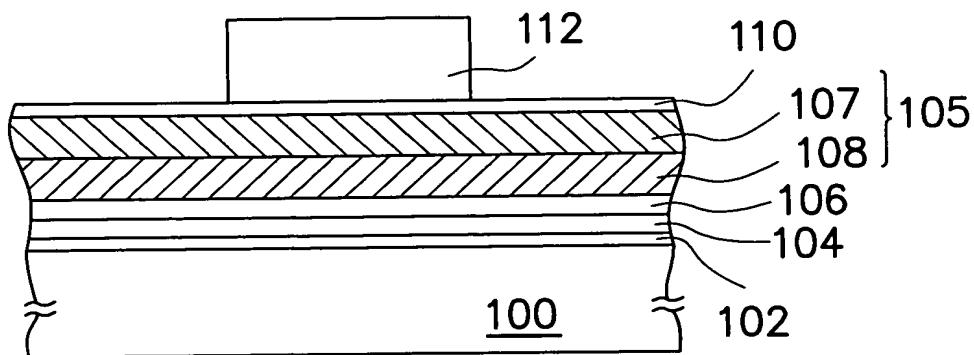
此在移除該光阻層時，該抗反射層並不會被移除，且該薄氧化層會形成在該控制閘之側壁表面。

20. 如申請專利範圍第13項所述之非揮發性記憶體元件的製造方法，其中該抗反射層係為一有機材料，因此在移除該光阻層時，該抗反射層會一併被移除，且該薄氧化層會形成在該控制閘之側壁以及頂部表面。

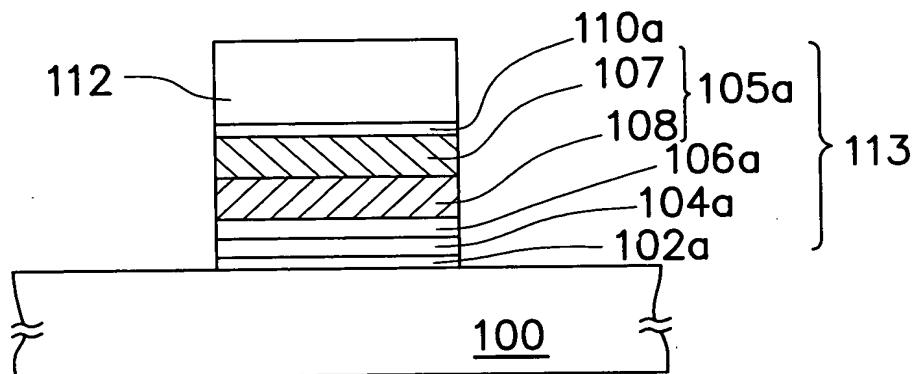
21. 如申請專利範圍第13項所述之非揮發性記憶體元件的製造方法，其中形成該薄氧化層之方法包括進行一熱氧化製程。

22. 如申請專利範圍第13項所述之非揮發性記憶體元件的製造方法，更包括在該低表面電荷襯層上形成另一介電層。

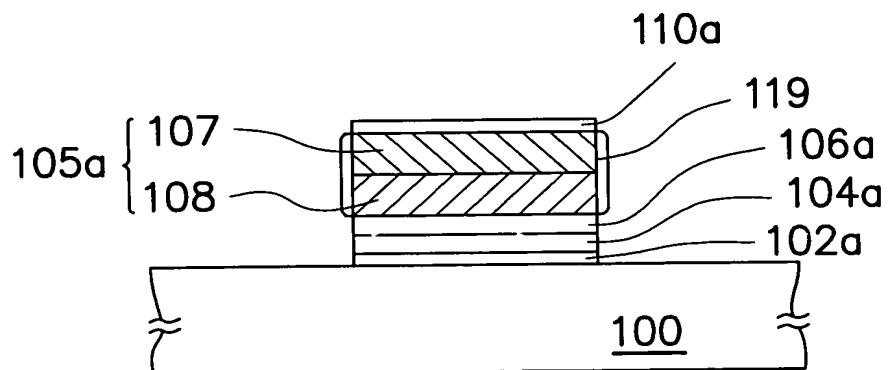




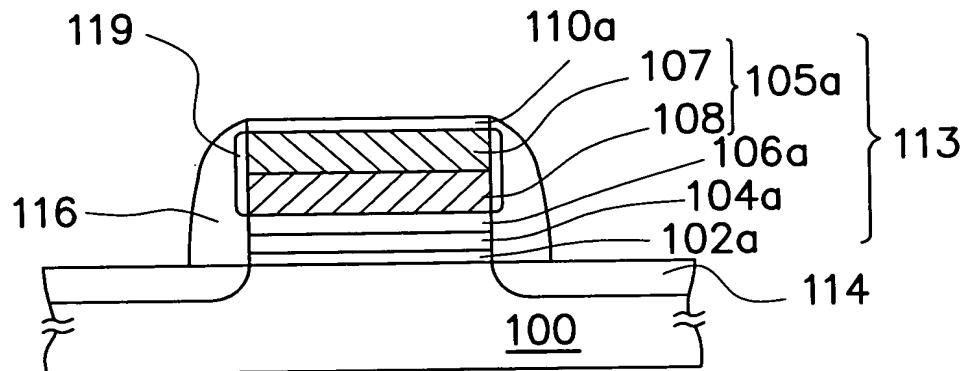
第 1A 圖



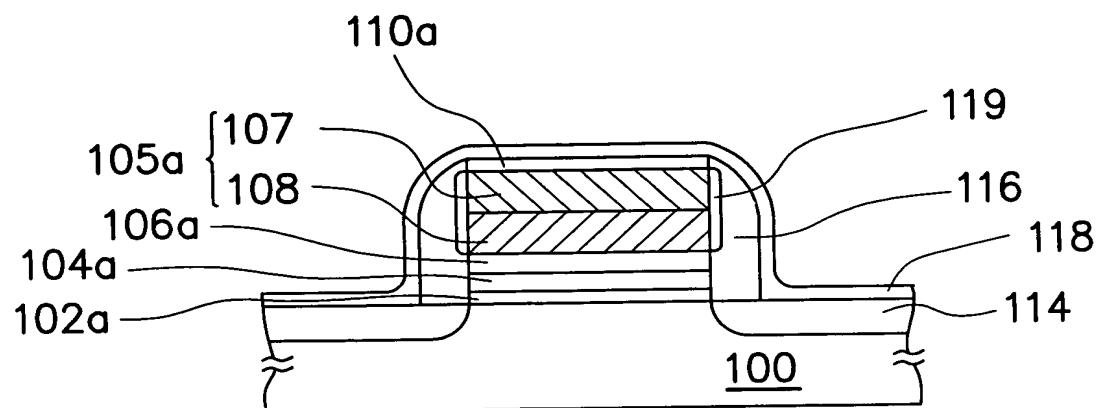
第 1B 圖



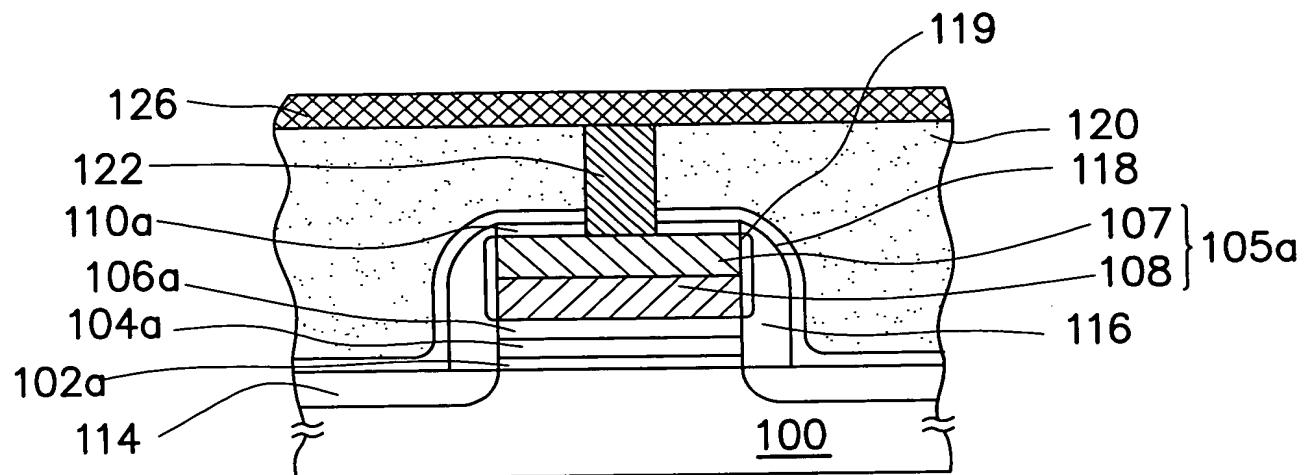
第 1C 圖



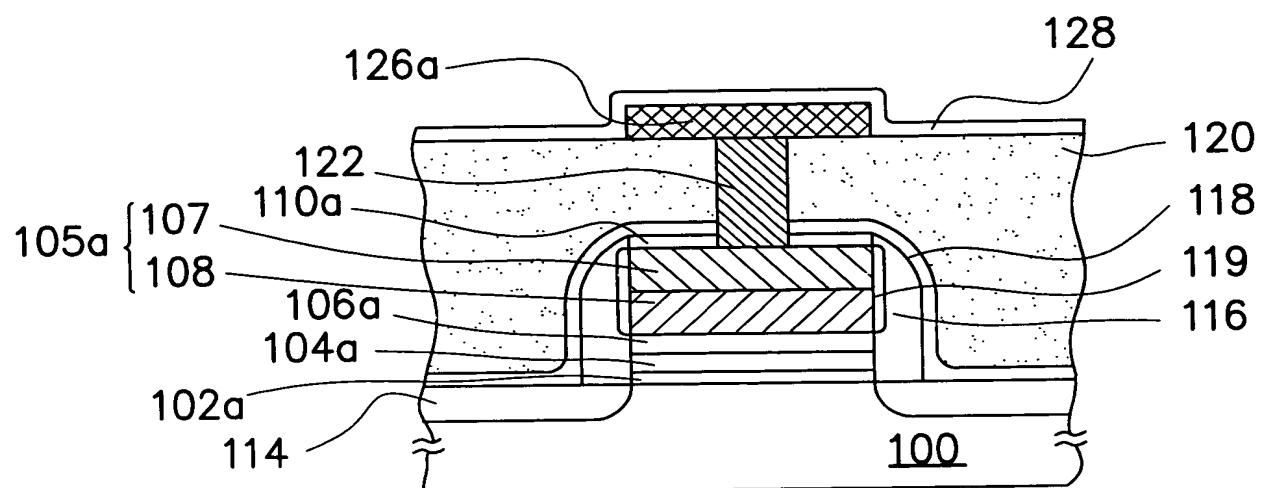
第 1D 圖



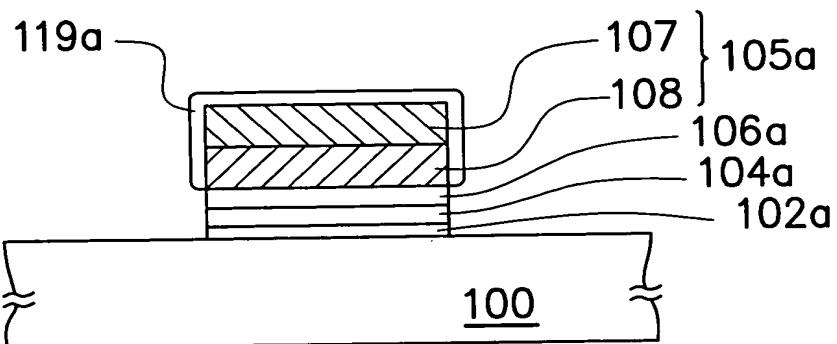
第 1E 圖



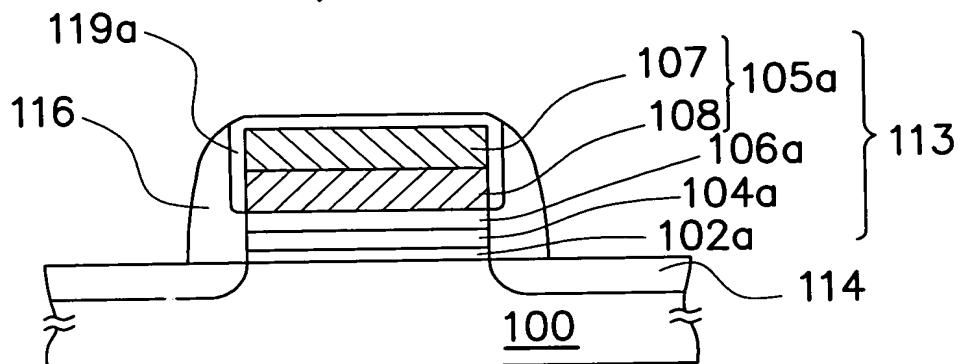
第 1F 圖



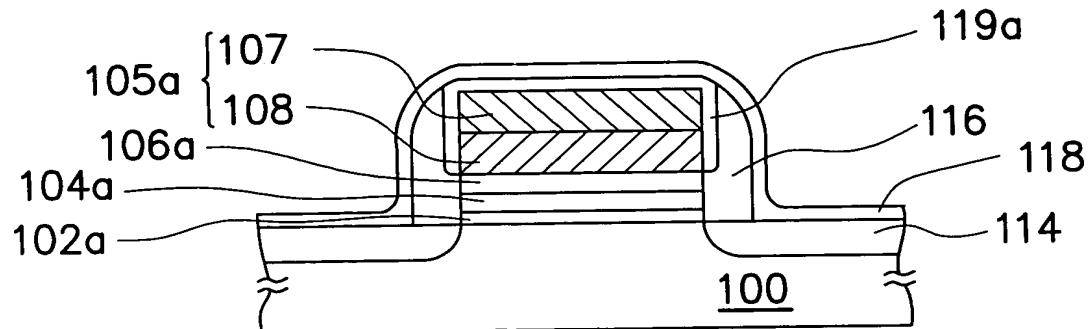
第 1G 圖



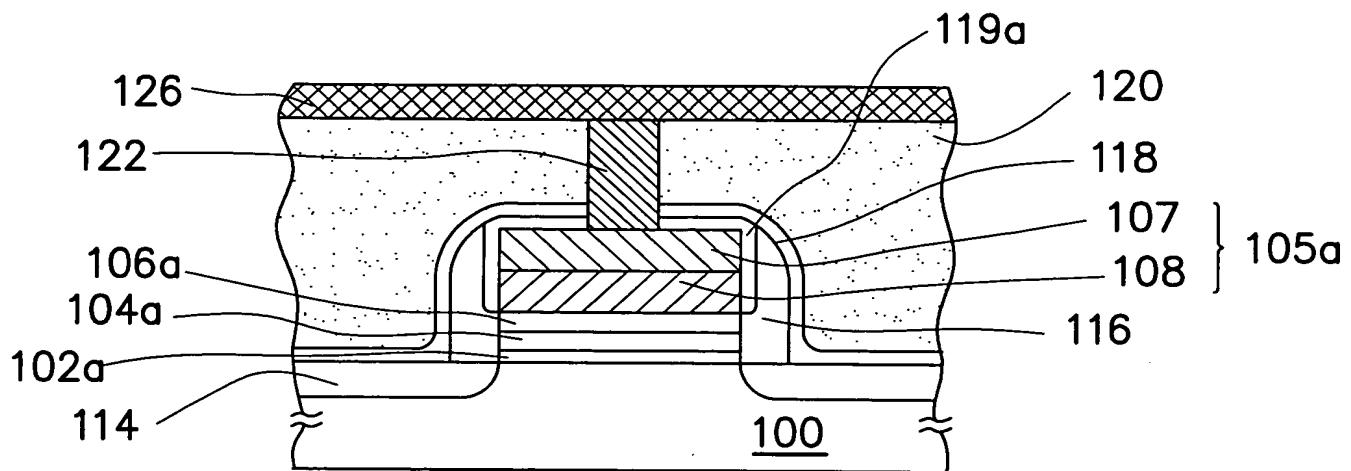
第 2A 圖



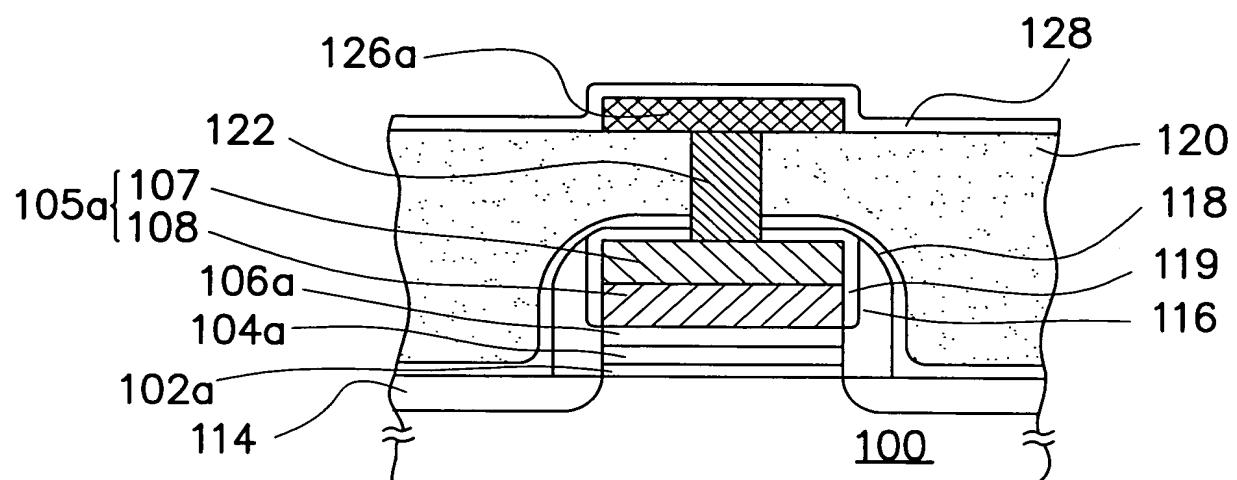
第 2B 圖



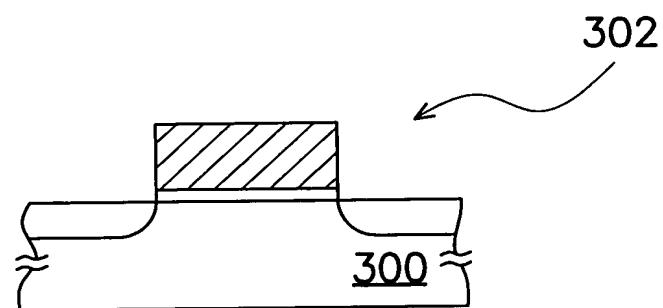
第 2C 圖



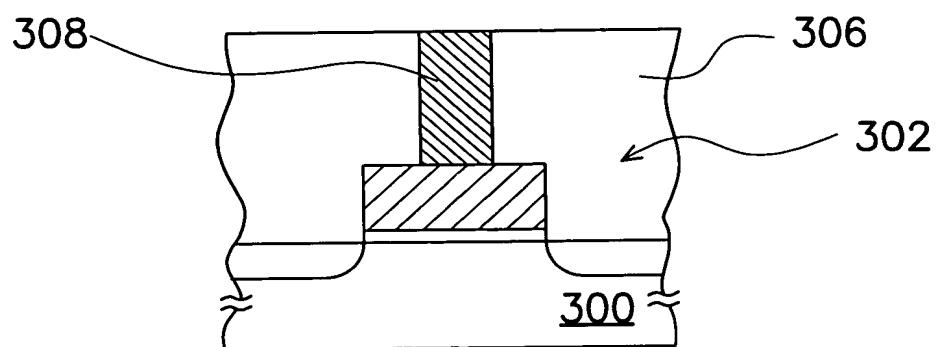
第 2D 圖



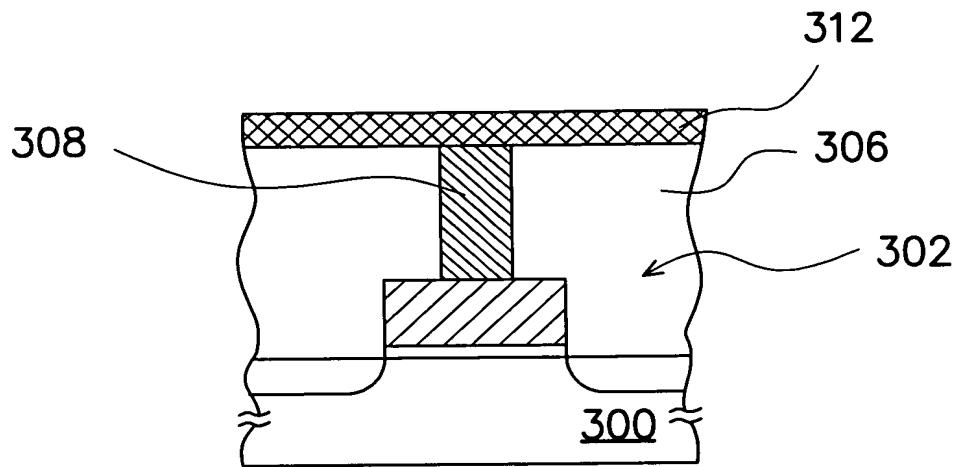
第 2E 圖



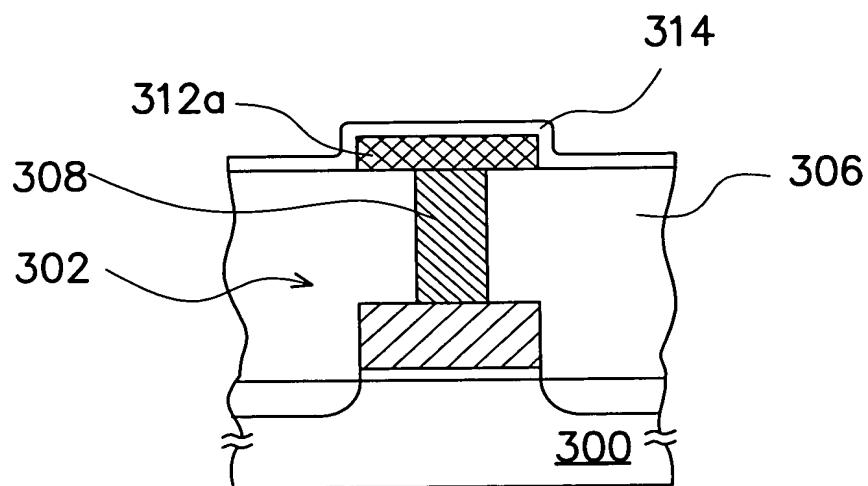
第 3A 圖



第 3B 圖



第 3C 圖



第 3D 圖

第 1/27 頁

第 2/27 頁

第 3/27 頁

第 3/27 頁

第 4/27 頁

第 5/27 頁

第 6/27 頁

第 7/27 頁

第 7/27 頁

第 8/27 頁

第 8/27 頁

第 9/27 頁

第 9/27 頁

第 10/27 頁

第 10/27 頁

第 11/27 頁

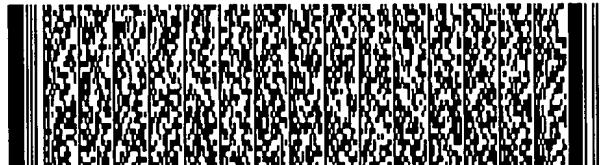
第 11/27 頁



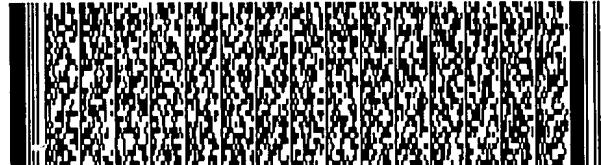
第 12/27 頁



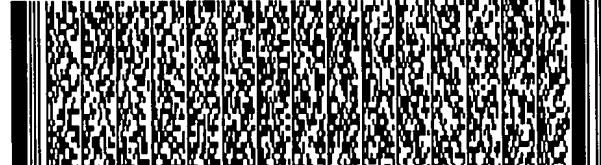
第 13/27 頁



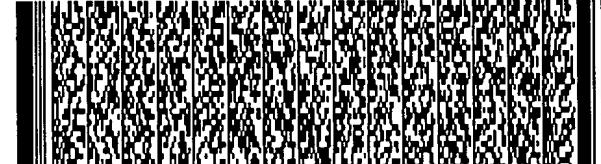
第 14/27 頁



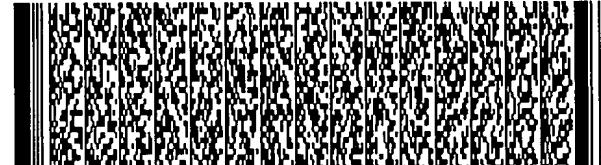
第 15/27 頁



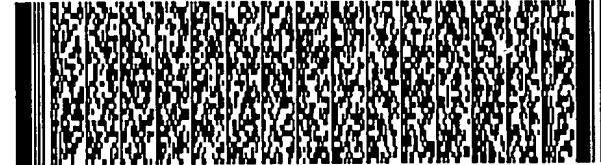
第 16/27 頁



第 17/27 頁



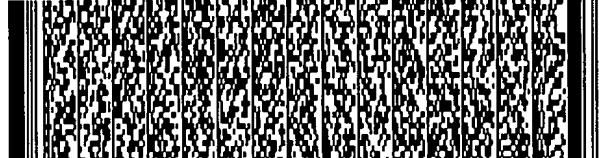
第 18/27 頁



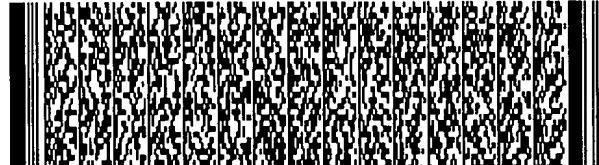
第 12/27 頁



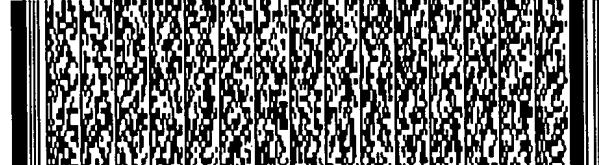
第 13/27 頁



第 14/27 頁



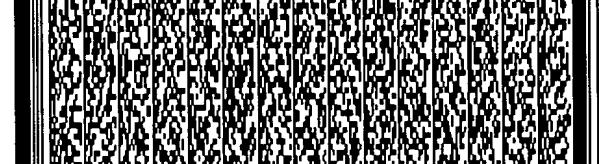
第 15/27 頁



第 16/27 頁



第 17/27 頁



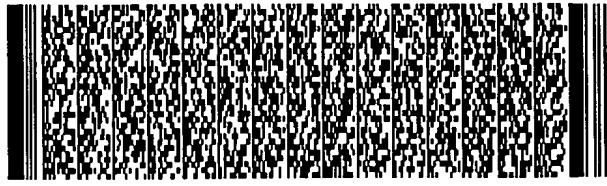
第 18/27 頁



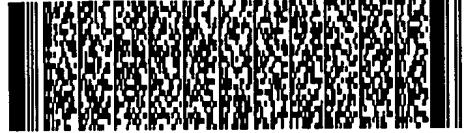
第 19/27 頁



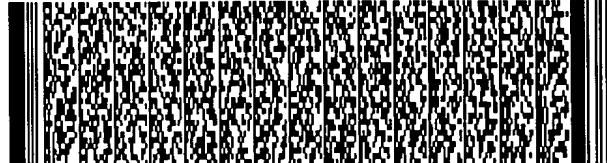
第 19/27 頁



第 20/27 頁



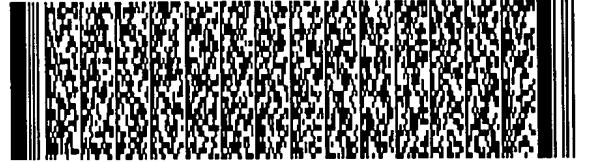
第 21/27 頁



第 22/27 頁



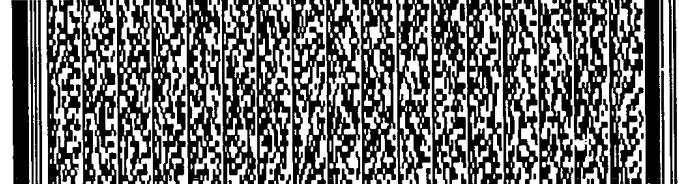
第 23/27 頁



第 23/27 頁



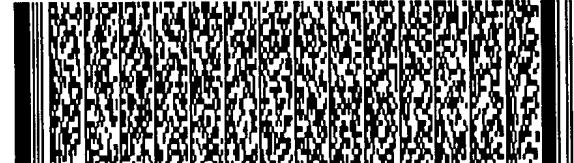
第 24/27 頁



第 25/27 頁



第 25/27 頁



第 26/27 頁



第 27/27 頁

